

BEST AVAILABLE COPY

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 57-020014

(43)Date of publication of application : 02.02.1982

(51)Int.Cl.

H03H 17/02

(21)Application number : 55-094465

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 09.07.1980

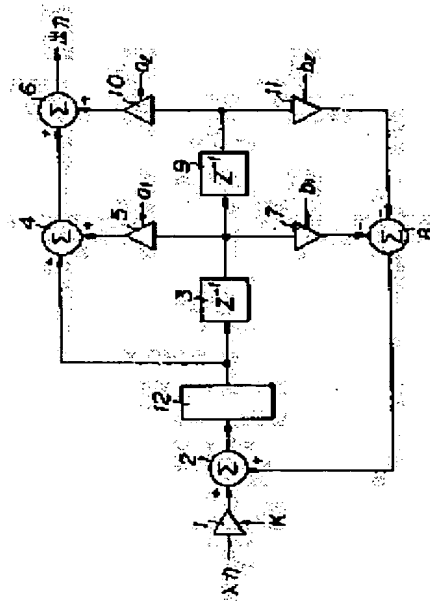
(72)Inventor : SANO SHIGENORI

## (54) DIGIT OVERFLOW PROCESSOR OF DIGITAL FILTER

## (57)Abstract:

PURPOSE: To prevent oscillating operation due to an overflow by performing overflow processing by outputting the maximum value of a dynamic range when input data is positive or the minimum value when negative.

CONSTITUTION: According to the value of the output data of an adder 2 which adds the outputs of an adder 8 and a multiplier 1, a digit overflow circuit 12 controls the output data. When the absolute value of input data to the circuit 12 is  $>1$ , the input data is outputted as it is. When the absolute value of the input data to the circuit 12 is  $\geq 1$  and  $<2$ , the circuit 12 outputs the maximum value of a dynamic range in response to the positive input or the minimum value in response to the negative one. Therefore, the circuit 12 prevents an overflow to prevent oscillations of a filter.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

## ⑫ 公開特許公報 (A)

昭57—20014

⑪ Int. Cl.<sup>3</sup>  
H 03 H 17/02

識別記号

庁内整理番号  
8124—5 J

⑬ 公開 昭和57年(1982)2月2日

発明の数 1  
審査請求 未請求

(全 4 頁)

## ⑭ デジタルフィルタの桁あふれ処理装置

目 2 番 1 号カシオ計算機株式会  
社羽村技術センター内

⑮ 特 願 昭55—94465

⑯ 出 願 人 カシオ計算機株式会社

⑰ 出 願 昭55(1980)7月9日

東京都新宿区西新宿2丁目6番  
1号

⑱ 発 明 者 佐野重則

東京都西多摩郡羽村町栄町3丁

## 明 細 書

## 1. 発明の名称

デジタルフィルタの桁あふれ処理装置

## 2. 特許請求の範囲

少なくとも乗算器、加算器、遅延回路を備え、並列演算処理により動作するデジタルフィルタに於て、処理データの符号ビットを含む複数ビットのデータに基づきダイナミックレンジに対する正側、負側のオーバーフローを検出する第1の手段と、この第1の手段により正側のオーバーフローが検出された場合は上記ダイナミックレンジの最大値を出力し、且つ上記第1の手段により負側のオーバーフローが検出された場合は上記ダイナミックレンジの最小値を出力する第2の手段とを具備したことを特徴とするデジタルフィルタの桁あふれ処理装置。

## 3. 発明の詳細な説明

本発明は並列演算処理により動作するデジタルフィルタの桁あふれ処理装置に関する。

従来より、乗算器、加算器、遅延回路等より成るデジタルフィルタが種々考えられている。例えば、第1図は、2次/2次の巡回形デジタルフィルタを示すもので、図中1は乗算器で、外部の例えばROM(リードオンリメモリ)より係数Kが与えられ、入力データをK倍して加算器2に供給する。この加算器2の出力は単位時間の遅延を行い遅延回路3に供給されると共に、加算器4に供給される。更に、この加算器4には、上記遅延回路3出力が乗算器5にて $\frac{1}{2}$ 倍されて供給され、これ等のデータを加算してその結果データを加算器6に供給する。

また、上記遅延回路3出力は乗算器7にてb<sub>1</sub>倍して加算器8に供給されると共に、単位時間の遅延を行い遅延回路9に供給される。そして、この遅延回路9出力は、乗算器10に供給され、 $\frac{1}{2}$ 倍されて加算器6に供給されると共に、乗算器11に供給されb<sub>2</sub>倍されて加算器8に与えられる。

加算器8では、上記乗算器7出力と乗算器11出力の各々を減算して、加算器2に印加する。従

って、上記加算器2は、乗算器1出力と加算器8出力を加算する。

このように構成されたデジタルフィルタの出力は、加算器4出力と乗算器10出力を加算する上記加算器6の出力であり、従って、上記デジタルフィルタの伝達関数は

$$H(z) = K \frac{1+a_1z^{-1}+a_2z^{-2}}{1+b_1z^{-1}+b_2z^{-2}} \quad \dots \text{式(1)}$$

となる。尚、上記デジタルフィルタの演算処理は2の補数表現で全てパラレルに行われ、その信号伝搬ラインもパラレルに設けられている。

然るに、このようなデジタルフィルタにおいては、各データは有限ビット長で表わされる為、演算結果が常にダイナミックレンジを越えないようにする必要があり、今の場合、デジタルフィルタの巡回経路例えば加算器2で桁あふれをおこした場合は、フィルタは発振状態となり、非常に不都合を生ずるものであった。

この発明は以上の点に鑑みてなされたもので、並列演算処理により動作するデジタルフィルタ

$$|K| < 1 \quad \dots \text{式(4)}$$

でなければならない。

従って、乗算器1の出力はその絶対値が必ず1未満となり、上記仮定により乗算器7の出力はその絶対値が必ず2未満となり、また乗算器11の出力はその絶対値が1未満であり、従って加算器8出力の絶対値は3未満となる。その為、加算器2の出力は、乗算器1出力及び加算器8出力の絶対値がそれぞれ1未満、3未満である為、4未満のデータとなる。

よって、上記加算器2出力は符号ビットも含め小数点以上3ビット構成となるが、このデータに対し、桁あふれ処理回路12は、上記仮定を満足するように、その出力データの絶対値が1未満のデータとなるように制御するものである。

以下、この桁あふれ処理回路12につき第3図を参照して説明する。この桁あふれ処理回路12の入力は、上述した如く、小数点以上3ビットであり、また小数点以下を7ビットとする。このデータのうち、小数点以上第1ビットから、~~小数点~~

において、処理データのオーバーフローによりデジタルフィルタが発振動作をするのを防止するデジタルフィルタの桁あふれ処理装置を提供することを目的とする。

以下、本発明の一実施例につき、図面を参照して詳細に説明する。第2図は、本実施例の回路構成を示すものであるが、説明の簡略化の為、第1図と同一箇所には同一符号を付し、その説明を省略する。図中12は桁あふれ処理回路で、その詳細を説明する前に、この桁あふれ処理回路12の概略につき説明する。即ち、入力信号をその絶対値が1未満のデータであるとして、次の仮定、即ち「桁あふれ処理回路12の出力の絶対値は1未満のデータである。」という仮定をする。

更に、フィルタが安定して動作する為、伝達関数の極が全てZ平面上の単位円内にある必要があり、その為、上記伝達関数の係数 $b_1$ 、 $b_2$ は

$$|b_1| < 2 \quad \dots \text{式(2)}$$

$$|b_2| < 1 \quad \dots \text{式(3)}$$

でなければならず、更に、係数Kは、

~~以上第1ビットから、~~ 小数点以下全ビットは、トランスファゲート20~27に供給され、小数点以上第1、第2、第3ビットはアンドゲート13へ直接供給されると共に、インバータ14~16を介してアンドゲート17に供給される。そして、このアンドゲート13、17の出力はオアゲート18を介して、上記トランスファゲート20~27の構成信号となると共に、インバータ19を介して後述するトランスファゲート30~37の構成信号となる。

即ち、上記トランスファゲート30には、上記入力データの小数点以上第3ビットである符号ビットが供給され、上記トランスファゲート31~37には上記符号ビットがインバータ40にて反転された信号が供給される。

そして、上記オアゲート18出力が「1」の場合は、トランスファゲート20~27の出力が桁あふれ処理回路12の出力となり、上記オアゲート18出力が「0」の場合は、トランスファゲート30~37の出力が桁あふれ処理回路12の出

BEST AVAILABLE COPY

力となる。

次に、以上の如く構成された本実施例の動作につき説明する。即ち、加算器8出力及び乗算器1出力を加算する加算器2の出力データの大きさに応じて、桁あふれ処理回路12ではその出力データを制御する。第4図は、その状態を説明したもので、例えば第4図(A)の如く、桁あふれ処理12に対する入力データの絶対値が1より小の際、即ち正の場合は小数点以上3ビットがオール0であり、負の場合は小数点以上3ビットがオール1である為、第3図のアンドゲート13またはアンドゲート17より信号・1・が出力されることになり、従って、トランスフラグメント20～27が構成され、入力データが、そのまま出力データとなる。

また、第4図(B)は、桁あふれ処理回路12に対する入力データの絶対値が1以上2未満の場合であり、このときは、上記オアゲート18出力は・0・となる為、トランスフラグメント30～37が構成されることになる。従って、この桁あふれ

処理回路12に対する入力データが正值の場合は、符号ビットのみを・0・とし、他のビットを全て・1・として、出力することになり、他方、上記入力データが負値の場合は、符号ビットのみを・1・とし、他のビットを全て・0・として出力することになる。よって、この場合は、桁あふれ処理回路12の出力は、正の場合ダイナミックレンジの最大値となり、負の場合、ダイナミックレンジの最小値となる。

更に、第4図(C)、(D)は各々、桁あふれ処理回路12に対する入力データの絶対値が2以上3未満の場合と、3以上4未満の場合を示すものであるが、いずれの場合も、上記第4図(B)の場合と同様に、桁あふれ処理回路12は動作し、その出力データは正の場合ダイナミックレンジの最大値となり、負の場合はダイナミックレンジの最小値となるものである。

従って、第2図に示すディジタルフィルタでは、桁あふれ処理回路12によつて、オーバーフローが防止出来、よつてフィルタの発振を防止すること

とが可能となる。

尚、上記実施例では、本発明を2次/2次の巡回型ディジタルフィルタに適用したものであるが、本発明はより高次のディジタルフィルタにも同様に適用し得ることは勿論であり、また桁あふれ処理回路を設ける経路位置も、必要に応じて種々変更し得ることは勿論である。

以上詳細に説明した如く、本発明のディジタルフィルタの桁あふれ処理装置は、並列演算処理により動作するディジタルフィルタにおいて、処理データの符号ビットを含む複数ビットのデータに基づきダイナミックレンジに対するオーバーフローを検出し、その検出結果に基づき、正の場合ダイナミックレンジの最大値、負の場合ダイナミックレンジの最小値を出力して桁あふれ処理を行うようにした為、簡単な回路を付加するのみで、ディジタルフィルタの桁あふれによる発振動作を防止し得ると共に、予めダイナミックレンジが決定される為固定小数点演算に非常に有効である等、優れた効果を奏するものである。

#### 4. 図面の簡単な説明

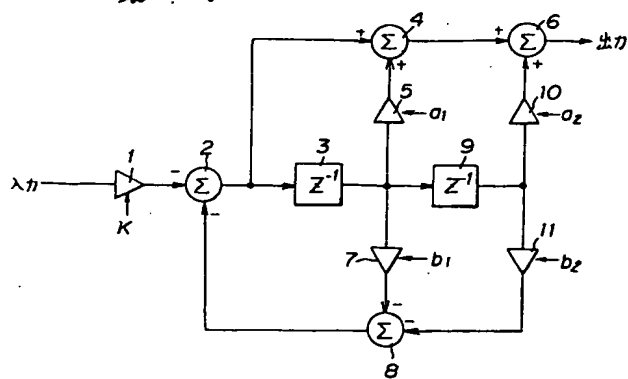
第1図は、従来のディジタルフィルタの回路構成を示す図、第2図乃至第4図は本発明の一実施例を示し、第2図は本実施例のディジタルフィルタの回路構成図、第3図は、第2図の桁あふれ処理回路12の詳細を示す図、第4図は本実施例の動作を説明する為の図である。

- 1、5、7、10、11…乗算器、
- 2、4、6、8…加算器、
- 3、9…遅延回路、
- 12…桁あふれ処理回路、
- 13、17…アンドゲート、
- 20～27、30～37…トランスフラグメント。

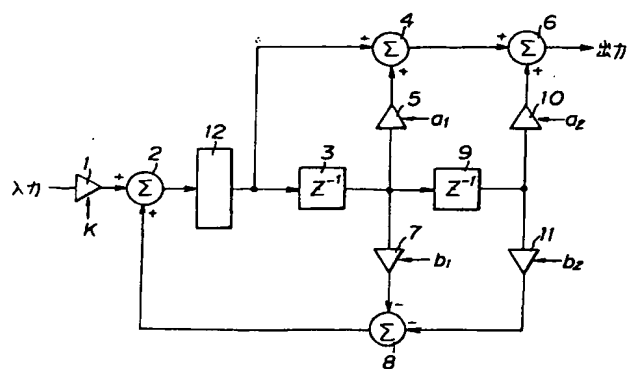
特許出願人

カシオ計算機株式会社

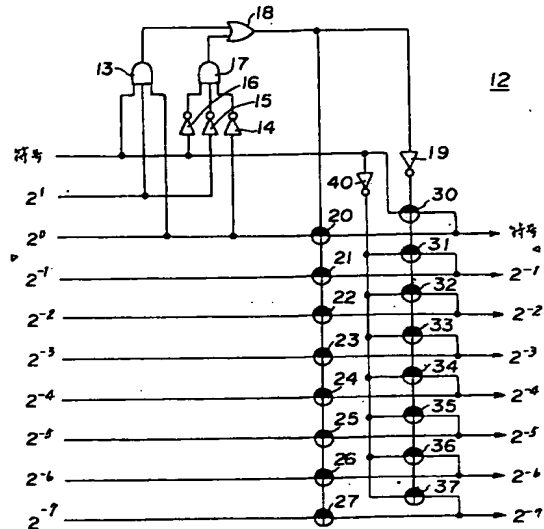
第 1 図



第 2 図



第 3 図



第 4 図

